

**ETCHING METHOD**

Publication number: JP8148468 (A)

Publication date: 1996-06-07

Inventor(s): OKUNI MITSUHIRO

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD

Classification:

- Internationals: C23F4/00; H01L21/02; H01L21/3065; C23F4/00; H01L21/02; (IPC1-7): H01L21/3065; C23F4/00

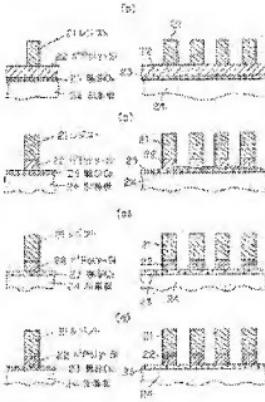
- European:

Application number: JP19940285013 19941118

Priority number(s): JP19940285013 19941118

**Abstract of JP 8148468 (A)**

**PURPOSE:** To protect a substrate against deformation caused by a micro loading effect by a method wherein an N+ $\times$ Poly-Si layer is specified in selection ratio to insulating films used under isotropic etching conditions and non-isotropic etching conditions respectively. **CONSTITUTION:** A film structure is composed of an Si substrate 24, a thermal SiO<sub>2</sub> 21, an N+ $\times$ Poly-Si 22, and a resist layer 21, and the N+ $\times$ Poly-Si 22 is etched with a Liessous-electron plasma device which generates high-vacuum plasma by a rotating electric field. First, a natural oxide film is removed, and a main etching operation is carried out under conditions that a selection ratio to an oxide film is kept below 20, a non-isotropic etching is performed under conditions that a selection ratio to an oxide film is kept above 30 or a solid pattern (space section) remains in main etching is carried out. Thereafter, all the solid pattern (space section) is etched, and then an overetching is carried out to completely remove the residues under such conditions that a selection ratio to an oxide film is kept above 100.



Data supplied from the esp@cenet database — Worldwide

(51)Int.Cl.<sup>8</sup>  
H 01 L 21/3065  
C 23 F 4/00識別記号 庁内整理番号  
A 9352-4KF I  
H 01 L 21/302技術表示箇所  
J

## 審査請求 未請求 請求項の数3 O.L. (全 6 頁)

(21)出願番号 特願平6-255013

(71)出願人 000005821

松下電器産業株式会社

(22)出願日 平成6年(1994)11月18日

大阪府門真市大字門真1006番地

(72)発明者 大國 充弘

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 小銀治 明 (外2名)

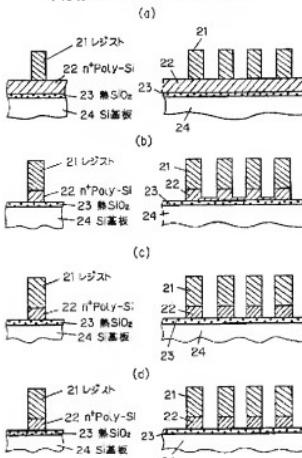
## (54)【発明の名称】 エッチャング方法

## (57)【要約】

【構成】 表面に絶縁膜23が形成されたシリコンまたはシリコン化合物を形成した後シリコンまたはシリコン化合物上にレジスト21を形成し、その後レジスト21をマスクとしてレジストで覆われていないシリコンまたはシリコン化合物をメインエッチャングする。さらに、等方エッチ成分がなくかつ絶縁膜23との選択比が3.0以上ある条件でエッチャングを行った後、等方エッチ成分を有し絶縁膜23との選択比が1.0以上ある条件でエッチャングを行う。

【効果】 ローディング効果により、従来の方法のみではエッチャング残りが生じる密バターン周辺(ライン&スベース部)においても、くびれ形状にならない良好な垂直形状が高選択比、高寸法制御のもとで実現できる。

本発明によるエッチャング方法での結果



## 【特許請求の範囲】

【請求項1】表面に絶縁膜が形成されたシリコンまたはシリコン化合物を形成する工程と、前記シリコンまたはシリコン化合物上にレジストを形成する工程と、前記レジストをマスクとして前記レジストで覆われていない前記シリコンまたはシリコン化合物をメインエッティングする第1のエッティング工程と、前記第1のエッティングの後等方エッチ成分がなくかつ前記絶縁膜との選択比が30以上ある条件でエッティングを行う第2のエッティング工程と、前記第2のエッティング工程の後等方エッチ成分を有し前記絶縁膜との選択比が100以上ある条件でエッティングを行う第3のエッティング工程とを有するエッティング方法。

【請求項2】第1、第2及び第3のエッティング条件の圧力が同一であることを特徴とする請求項1記載のエッティング方法。

【請求項3】第1、第2及び第3のエッティング条件の全ガス流量が同一であることを特徴とする請求項1または2記載のエッティング方法。

【発明の詳細な説明】

## 【00001】

【産業上の利用分野】本発明はエッティング方法に関するものであり、特にエッティングの対象物としての膜はシリコンまたはシリコン化合物の膜に関するものである。

## 【00002】

【従来の技術】エッティングの中でもドライエッティングとは、プラズマ中に存在するイオン、ラジカル等による気相と固相表面における化学的又は物理的反応を利用し、薄膜を食刻する微細加工技術である。ドライエッティング技術としては、最も広く用いられている反応性イオノンエッティング(RIE)、回転磁場を利用する電子サイクロトロン共鳴(ERC)、最近では誘導結合型プラズマ(ICP)や、回転電界を利用するリサジューエレクトロンプラズマ(LEP)等があり、適当なガスの高周波放電プラズマに試料を曝すことにより反応を起こし、試料表面の一部を除去するものである。

【00003】ドライエッティングにおける微細化のためにはイオンの方向性を揃えることが必要であるが、このためにはプラズマ中のイオン散乱を減らすことが不可欠である。イオンの方向性を揃えるためには、真空度を高くしてイオンの平均自由行程を大きくすることが効果的であると言われている。

【00004】一方半導体デバイスを製造するにおいてド

ライエッティング工程は、とりわけ重要であり、特にトランジスターの性能に大きな影響を与えるゲート電極の形成には、垂直形状、高速度、高選択比、高寸法制御等が要求されている。ゲート電極材には、ポリシリコン系の膜が主に使用される場合が多くそのエッティング方法は多岐に渡っている。そしてエッティング用プラズマ源は、RIE、ECR、ICP、LEPが主流であり、またエッティング用ガスは主に塩素、臭素系が用いられている。そして、昨今半導体デバイスでのシリコン系エッティングにおける要求はますます高くなるばかりである。0.25μm以下の微細パターンでは、高選択比(対レジスト、対酸化膜)、高寸法制御、垂直エッティングの同時実現が要求されているが、これを達成することは困難である。

【00005】上記の高性能エッティングを達成するため、エッティング中にその条件を一度変更する方法が、特公平2-57701号公報において提案されており、以下ではこの従来のドライエッティングについて説明する。

【00006】まず、基板上の絶縁膜上の電極膜(例えばn-polySi)の表面に垂直な方向に選択性がある第1のエッティングを行って選択的にエッティングするとともに絶縁膜が完全に露出する手前でこのエッティングを停止する。次に、第1のエッティングの後、第1のエッティングで絶縁膜上的一部分に残存した電極膜を、第1のエッティングよりも絶縁膜のエッティングが生じにくい第2のエッティングにてエッティングすることにより、電極のパターンで覆われていない絶縁膜をエッティングすることなく、電極膜(電極パターン)を絶縁膜上に選択的に形成する。

【00007】このようなメインエッチ(主なるエッティング、上記の従来例では第1のエッティング)とオーバーエッチ(残存除去エッティング、上記の従来例では第2のエッティング)とに分けられる方法は、昨今特に段差を有する半導体デバイスの製造に広く一般的に利用されてきている。

【00008】以下では上記の従来方法でエッティングした例を図面を参照しながら具体的に説明する。

【00009】図2は、様々なエッティング装置の内回転電場を用いて高真空プラズマを発生するリサジューエレクトロンプラズマ(LEP)装置の概要図である。11はチャンバー、12、13、14は側方電極、15は電極(試料台)、16はアース電極である。この装置系を用いて表2に示す条件でエッティングを行った。

## 【0010】

【表1】

## 従来例でのエッチングプロセス

	自然酸化膜 除去	第1の ドライエッチング	第2の ドライエッチング
ガス量/流量 Cl <sub>2</sub> /HBr/O <sub>2</sub> (sccm)	60/0/0	90/0/0	0/58/2
パワー LEP/RF(W)	0/100	3×130/150	3×70/80
圧力 (Pa)	3	1	1.5
時間 (sec)	20	60	60
n <sup>+</sup> Polyシリコン エッチングレート (Å/min)	50	3300	1650
対SiO <sub>2</sub> の 選択比	0.3	18	200

## LEP 側方電極

【0011】図3 (a)はエッチング前の膜構成であり、21はレジスト、22はn<sup>+</sup>PolySi、23は熱SiO<sub>2</sub>、24はSi基板である。3個の側方電極1、2、13、14には周波数5.4、2.4MHzのLEPパワーを印加し、電極(試料台)15には周波数13.56MHzのRFパワーを印加した。ここで第1のドライエッチングが完了した時点では、マイクロローディング効果があるために図3(b)に示す様に粗バターン周辺(オープン部)では完全にエッチングされているが、密バターン周辺(ライン&スペース)の内側ではまだ未エッチング部が残っている。このまま第2のドライエッチングに移行すると、この条件は熱SiO<sub>2</sub>との選択比を上げるために酸素ガスを添加しており、等方性エッチングが支配的になるため最終的に図3(c)に示す様にライン&スペースの内側で食い込み形状が発生する。

【0012】このように、従来の方法では、高精度エッチングには追従出来ず例えばマイクロローディング効果が顕著である0.25μm以下の微細パターンはもちろんのこと、0.35μmレベルのパターンにおいても再現性良く、高選択比、高寸法制御、垂直エッチングを同時に実現することは困難である。

## 【0013】

【発明が解決しようとする課題】本発明は上記問題点を鑑み、マイクロローディング効果に起因する形状不良が発生せず、また再現性も良く、さらに高選択比、高寸法制御、垂直エッチングを実現するエッチング方法を提供するものである。

## 【0014】

## RF 電極(試料台)

【課題を解決するための手段】上記問題点を解決するために、絶縁膜上にシリコン又はシリコン化合物の形成された基板において、エッチングマスクで覆われていない前記シリコン又はシリコン化合物をエッチングする場合、第1ステップとして前記シリコン又はシリコン化合物上の自然酸化膜を除去した後、第2ステップとして酸化膜選択比2.0以下の条件で選択的に前記シリコン又はシリコン化合物をエッチングするとともに前記絶縁膜が、粗バターン周辺(オープン部)では完全に露出し、またローディング効果により密バターン周辺(ライン&スペース部)では完全に露出しないためその手前で終了するバルク部エッチング、第3ステップとして対酸化膜選択比3.0以上で等方エッチ成分のない条件で前記絶縁膜の密バターン周辺(ライン&スペース部)が完全に露出するバルク部エッチングと粗バターン周辺(オープン部)での残さ除去、第4ステップとして等方エッチ成分はあるが対酸化膜選択比1.0以上ある条件で粗密バターン周辺のオーバーエッチなる残さ除去、のステップにかけてエッチング方法を用いる。

【0015】また、本発明は全てのエッチングステップで同一圧力とする事が望ましい。さらに、その全ガス流量が同一である事が望ましい。

## 【0016】

【作用】本発明は上記した構成によって、下述である酸化膜との選択比が5.0以上ありサイドエッチの入らないエッチング条件で密バターン周辺(ライン&スペース部)の残りをエッチングし、最後にオーバーエッチ条件を施すことにより前記シリコン又はシリコン化合物を、

安定で垂直形状、高選択比、高寸法制御エッティングが可能となる。

## 【0017】

【実施例】以下本発明の一実施例であるエッティング方法について、図面を参照しながら説明する。

【0018】図2は本発明のエッティング方法を適用した、回転電場を用いた高真空プラズマを発生するリサジ\*

## 本発明での実施例エッティングプロセス

\*ユーリエクトロンプラズマ（L E P）装置の概要図であるが、その構成は従来のものと同様である。

【0019】この装置を用いて、 $n^+ Poly-Si$ エッティングを行った。その際のエッティング条件を表1に示す。

## 【0020】

## 【表2】

	自然酸化膜 除去	emainエッチ	スペース部残り emainエッチ	オーバーエッチ
ガス種・流量 $Cl_2/HBr/O_2$ (sccm)	60/0/0	60/0/0	0/60/0	0/58/2
パワー LEP/RF(W)	0/100	3x130/150	3x130/150	3x70/80
圧力 (Pa)	1	1	1	1
時間 (sec)	15	60	15	30
$n^+ Poly$ シリコン エッティングレート (Å/min)	20	3300	1500	1650
対 $SiO_2$ の 選択比	0.5	18	50	170

## LEP 側方電極

【0021】図1(a)はエッティング前の膜構成であり、21はレジスト、22は $n^+ Poly-Si$ 、23は熱  $SiO_2$ 、24は  $Si$  基板である。エッティング条件を表2に示す。3個の側方電極12、13、14には周波数5.4、2.4MHzのLEPパワーを印加し、電極(試料台)15には周波数1.3、5.6MHzのRFパワーを印加した。

【0022】まず自然酸化膜を除去した後、対酸化膜選択比2.0以下の条件でメインエッチを施すと図1(b)に示す様に粗バターン(オープン部)では完全にエッティングされているが、密バターン(ライン&スペースの内側部)ではまだ未エッティング部が残っている。

【0023】次に、対酸化膜選択比5.0以上の条件で等方エッチ成分のないエッティングなすわち密バターン(スペース部)残りメインエッチを1.5秒施すと図2(c)の様になり、その後密バターン(スペース部)を全てエッティングした後、さらに酸化膜との選択比を1.70にまで上げたオーバーエッチを施して残さを完全に除去する。

【0024】この様なエッティングステップにより、本発明では密バターンの部分における未エッティング部をエッ

## RF 電極(試料台)

チングするメインエッティングを行う工程を有しているため、オーバーエッティングの際には未エッティング部分が存在しない。従って、オーバーエッティングを行った際にも、食い込み形状の部分は発生せず、くびれ形状のない良好な垂直形状が高選択比のもので得られる。すなわち、マイクロローディング効果による未エッティング部の発生に対しても、高精度にエッティングを行うことが可能となる。

【0025】なお、本実施例においては被エッティング膜をシリコン膜としたが、ポリサイドの様なシリコン化合物膜でも同様の効果が得られるのはいうまでもない。

【0026】また、スループットを上げるために各エッティングステップで、圧力及び総流量を同一にした方が有利である。

## 【0027】

【発明の効果】以上のように本発明によるエッティング方法では、マイクロローディング効果を打ち消し、良好な垂直形状を高選択比、高寸法制御のもので実現できる。そして本発明により、高性能なゲート電極加工が可能となり電気特性のバラツキの少ないデバイスが実現できる。

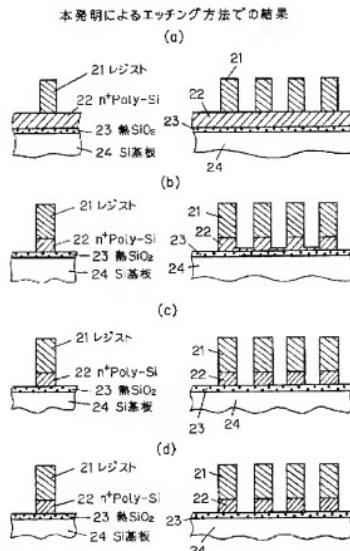
## 【図面の簡単な説明】

【図1】本発明の実施例におけるドライエッチングの断面概略図  
【図2】本発明におけるドライエッチング装置の構造概略図

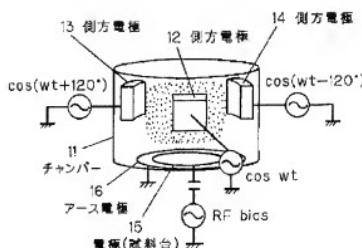
【図3】従来例におけるドライエッチングの断面概略図  
【符号の説明】

1 1 チャンバー

【図1】

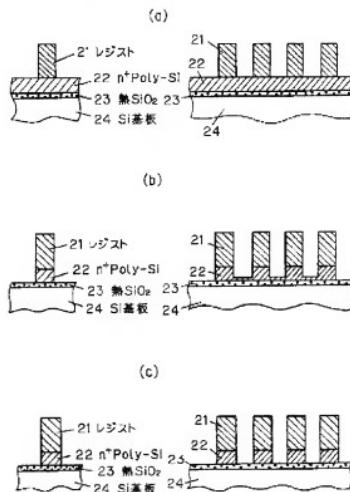


【図2】



【図3】

## 従来例でのエッチング結果



## 【手続補正書】

【提出日】平成6年12月8日

## 【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図3

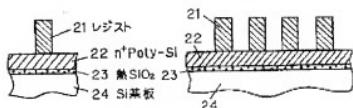
【補正方法】変更

【補正内容】

【図3】

従来例でのエッチング結果

(a)



(b)



(c)

